

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-017775

(43)Date of publication of application : 22.01.1999

(51)Int.Cl.

H04L 29/10

G06F 3/06

G06F 13/00

G06F 13/38

H04L 1/16

H04L 12/56

(21)Application number : 09-164813

(71)Applicant : SONY CORP

(22)Date of filing : 20.06.1997

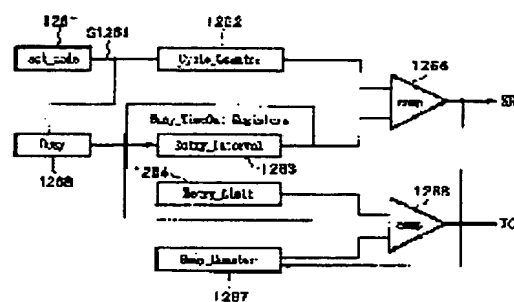
(72)Inventor : NAKAMURA RYUTA

(54) SERIAL INTERFACE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To smoothly transmit/receive the data of a large capacitance by generating a request packet from a present node to the other node, sending it to a serial interface, receiving the packet of a response to the request packet and performing retry operation for sending the generated request packet when the received response packet requests the resending of the request packet.

SOLUTION: An interval register 1263 receives a resending request and arbitrarily set time to the retry operation and a cycle counter 1262 measures time while being started by ack busy reception. When the time of the cycle counter 1262 reaches the setting time of the interval register 1263, a comparator circuit 1265 generates a resending signal SR. A retry control register 1264 sets the number of times of retry and a busy counter 1267 counts how many times the resending signal SR is outputted from the comparator circuit 1265. When the value of the busy counter 1267 reaches the set value of the retry control register 1264, the comparator circuit 1266 is turned into timeout.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 1 7 7 7 5

(43) 公開日 平成 1 1 年 (1 9 9 9) 1 月 2 2 日

(51) Int. Cl. ⁰	識別記号	庁内整理番号	F I	技術表示箇所	
H04L 29/10			H04L 13/00	309	Z
G06F 3/06	301		G06F 3/06	301	M
13/00	353		13/00	353	T
13/38	350		13/38	350	
H04L 1/16			H04L 1/16		

審査請求 未請求 請求項の数 2 0 O L (全 1 2 頁) 最終頁に続く

(21) 出願番号 特願平 9 - 1 6 4 8 1 3

(22) 出願日 平成 9 年 (1 9 9 7) 6 月 2 0 日

(71) 出願人 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 中村 龍太

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

ニー株式会社内

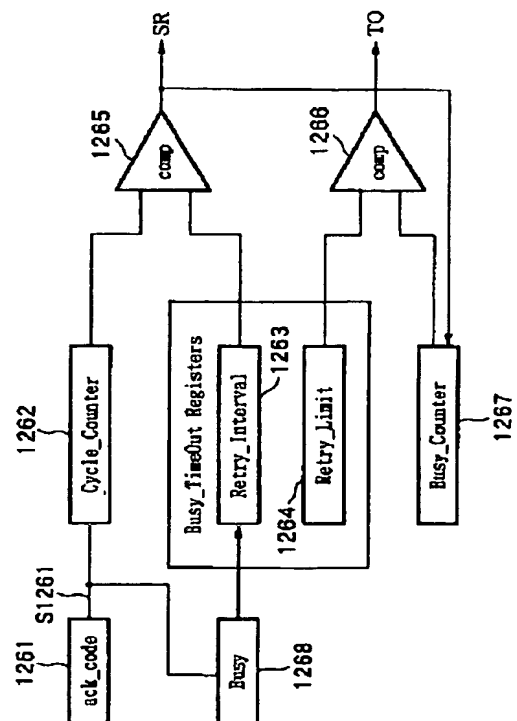
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 シリアルインタフェース回路

(57) 【要約】

【課題】 リトライ動作を自動化でき、制御系回路の付加を軽減でき、大容量のデータを所定の規格に合わせてたパケットにして送受信できるシリアルインタフェース回路を提供する。

【解決手段】 再送要求を受信してからリトライ動作を行うまでの時間を任意に設定可能なインターバルレジスタ 1 2 6 3 と、ack busyを受信すると起動して時間を計時するサイクルカウンタ 1 2 6 2 と、サイクルカウンタ 1 2 6 2 の時間がインターバルレジスタ 1 2 6 3 の設定時間に達すると再送信号 S R を生成する比較回路 1 2 6 5 と、制限するリトライ回数を設定可能なリトライ制限レジスタ 1 2 6 4 と、比較回路 1 2 6 5 の再送信号の出力回数をカウントするビジーカウンタ 1 2 6 7 と、ビジーカウンタ 1 2 6 7 の値がリトライ制限レジスタ 1 2 6 4 の設定値に達するとタイムアウト信号 T O を出力する比較回路 1 2 6 6 とを設ける。



【特許請求の範囲】

【請求項 1】 自ノードとシリアルインタフェースバスを介して接続された他ノード間でパケットの送受信を行うシリアルインタフェース回路であって、

自ノードから他ノードへの要求パケットを生成し、上記シリアルインタフェースバスに送出する第 1 のデータ処理回路と、

上記要求パケットに対する応答パケットを受信し、受信した応答パケットが要求パケットの再送を要求している場合に、上記生成した要求パケットを再度上記シリアル

インタフェースバスに送出するリトライ動作を行う第 2 のデータ処理回路とを有するシリアルインタフェース回路。

【請求項 2】 上記第 2 のデータ処理回路は、再送要求を受信してから設定時間を経過して上記要求パケットを再送する請求項 1 記載のシリアルインタフェース回路。

【請求項 3】 上記第 2 のデータ処理回路は、再送要求を受信してからリトライ動作を行うまでの時間を任意に設定可能なインターバルレジスタと、

上記再送要求を受信すると起動して時間を計時するサイクルカウンタと、

上記サイクルカウンタの時間が上記インターバルレジスタの設定時間に達すると再送信号を生成する比較回路と有し、

上記再送信号が生成されると上記リトライ動作を行う請求項 2 記載のシリアルインタフェース回路。

【請求項 4】 上記再送の回数を判別し、カウント値があらかじめ設定した回数に達すると上記インターバルレジスタの設定時間をさらに長い時間に再設定する判別回路を有する請求項 3 記載のシリアルインタフェース回路。

【請求項 5】 上記リトライ動作の回数を制限する制限回路を有する請求項 1 記載のシリアルインタフェース回路。

【請求項 6】 上記リトライ動作の回数を制限する制限回路を有する請求項 2 記載のシリアルインタフェース回路。

【請求項 7】 上記リトライ動作の回数を制限する制限回路を有する請求項 3 記載のシリアルインタフェース回路。

【請求項 8】 上記リトライ動作の回数を制限する制限回路を有する請求項 4 記載のシリアルインタフェース回路。

【請求項 9】 上記制限回路は、制限するリトライ回数を設定可能なリトライ制限レジスタと、

上記比較回路の再送信号の出力回数をカウントする再送カウンタと、

上記再送カウンタの値が上記リトライ制限レジスタの設定値に達するとタイムアウト信号を出力する比較回路と、

上記タイムアウト信号を受けて上記要求パケットの送信を中止する制御回路とを有する請求項 7 記載のシリアルインタフェース回路。

【請求項 10】 上記制限回路は、制限するリトライ回数を設定可能なリトライ制限レジスタと、

上記比較回路の再送信号の出力回数をカウントする再送カウンタと、

上記再送カウンタの値が上記リトライ制限レジスタの設定値に達するとタイムアウト信号を出力する比較回路と、

上記タイムアウト信号を受けて上記要求パケットの送信を中止する制御回路とを有する請求項 8 記載のシリアルインタフェース回路。

【請求項 11】 自ノードとシリアルインタフェースバスを介して接続された他ノード間でパケットの送受信を行うシリアルインタフェース回路であって、記憶手段と、

自ノードから他ノードへの要求パケットを生成し上記記憶手段に格納する要求パケット生成回路と、

上記記憶手段に格納された要求パケットを上記シリアルインタフェースバスに送出する第 1 のデータ処理回路と、

上記要求パケットに対する応答パケットを受信し、受信した応答パケットが要求パケットの再送を要求している場合に、上記記憶手段に格納されている要求パケットを再度上記シリアルインタフェースバスに送出するリトライ動作を行う第 2 のデータ処理回路とを有するシリアルインタフェース回路。

【請求項 12】 上記第 2 のデータ処理回路は、再送要求を受信してから設定時間を経過して上記要求パケットを再送する請求項 11 記載のシリアルインタフェース回路。

【請求項 13】 上記第 2 のデータ処理回路は、再送要求を受信してからリトライ動作を行うまでの時間を任意に設定可能なインターバルレジスタと、

上記再送要求を受信すると起動して時間を計時するサイクルカウンタと、

上記サイクルカウンタの時間が上記インターバルレジスタの設定時間に達すると再送信号を生成する比較回路と有し、

上記再送信号が生成されると上記記憶手段に格納された要求パケットを読み出して上記リトライ動作を行う請求項 12 記載のシリアルインタフェース回路。

【請求項 14】 上記再送の回数を判別し、カウント値があらかじめ設定した回数に達すると上記インターバルレジスタの設定時間をさらに長い時間に再設定する判別回路を有する請求項 13 記載のシリアルインタフェース回路。

【請求項 15】 上記リトライ動作の回数を制限する制限回路を有する請求項 11 記載のシリアルインタフェー

10

20

30

40

50

ス回路。

【請求項 1 6】 上記リトライ動作の回数を制限する制限回路を有する請求項 1 2 記載のシリアルインタフェース回路。

【請求項 1 7】 上記リトライ動作の回数を制限する制限回路を有する請求項 1 3 記載のシリアルインタフェース回路。

【請求項 1 8】 上記リトライ動作の回数を制限する制限回路を有する請求項 1 4 記載のシリアルインタフェース回路。

【請求項 1 9】 上記制限回路は、制限するリトライ回数を設定可能なリトライ制限レジスタと、上記比較回路の再送信号の出力回数をカウントする再送カウンタと、

上記再送カウンタの値が上記リトライ制限レジスタの設定値に達するとタイムアウト信号を出力する比較回路と、

上記タイムアウト信号を受けて上記要求パケットの送信を中止する制御回路とを有する請求項 1 7 記載のシリアルインタフェース回路。

【請求項 2 0】 上記制限回路は、制限するリトライ回数を設定可能なリトライ制限レジスタと、上記比較回路の再送信号の出力回数をカウントする再送カウンタと、

上記再送カウンタの値が上記リトライ制限レジスタの設定値に達するとタイムアウト信号を出力する比較回路と、

上記タイムアウト信号を受けて上記要求パケットの送信を中止する制御回路とを有する請求項 1 8 記載のシリアルインタフェース回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、ディジタルシリアルインタフェース回路に係り、特に HDD (Hard Disk Drive)、DVD (Digital Video Disk) - ROM、CD (Compact Disk) - ROM、テープストリーマ (Tape Streamer) 等のストレージ装置に接続するシリアルインタフェース回路およびその信号処理方法に関するものである。

【0 0 0 2】

【従来の技術】近年、マルチメディア・データ転送のためのインタフェースとして、高速データ転送、リアルタイム転送を実現する IEEE (The Institute of Electrical and Electronic Engineers) 1 3 9 4、High

Performance Serial Bus が規格化された。

【0 0 0 3】この IEEE 1 3 9 4 シリアルインタフェースのデータ転送においては、ネットワーク内で行われる転送動作をサブアクションと呼び、2つのサブアクションが規定されている。一つは、従来の Request, Acknow

ledge の要求、受信確認を行うアシンクロナス (Asynchronous) 転送であり、他の一つはあるノードから 1 2 5 μ s に 1 回必ずデータが送られるアイソクロナス (Isochronous) 転送である。

【0 0 0 4】このように、2つの転送モードを有する IEEE 1 3 9 4 シリアルインタフェースでのデータは、パケット単位で転送が行われるが、IEEE 1 3 9 4 規格では、取り扱う最小データの単位は 1 クワドレット (quadrlet) (= 4 バイト = 3 2 ビット) である。

10 【0 0 0 5】IEEE 1 3 9 4 規格では、通常、コンピュータデータは、図 6 に示すように、アシンクロナス転送を用いて行われる。アシンクロナス転送は、図 6 (a) に示すように、バスを獲得するためのアービトレーション (arb)、データを転送するパケットトランスミッション、およびアクノリジメント (ack) の 3 つの遷移状態をとる。

【0 0 0 6】そして、パケットトランスミッションの実行は、図 6 (b) に示すようなフォーマットで行われる。転送パケットの第 1 クワドレットは、1 6 ビットの

20 デスティネーション ID (destination ID) 領域、6 ビットのトランザクション ラベル t l (transaction label) 領域、2 ビットのリトライ・コード r t (retry code) 領域、4 ビットのトランザクション・コード t c o d e (transaction code) 領域、および 4 ビットのプライオリティ p r i (priority) 領域から構成されている。デスティネーション ID 領域はこのノードのバスナンバーとノードナンバー、プライオリティ領域は優先レベルを示す。

【0 0 0 7】第 2 クワドレットおよび第 3 クワドレットは、1 6 ビットのソース ID (source ID) 領域、および 4 8 ビットのデスティネーション・オフセット (destination offset) 領域により構成されている。ソース ID 領域はこのパケットを送ったノード ID を示し、デスティネーション オフセット領域はハイ (High) およびロー (Low) の連続した領域からなり、デスティネーション・ノードのアドレス空間のアドレスを示す。

【0 0 0 8】第 4 クワドレットは、1 6 ビットのデータ長 (data length) 領域、および 1 6 ビットのイクステンディッド・トランザクション・コード (extended tcode) 領域に構成されている。データ長領域は受信したパケットのバイト数を示し、イクステンディッド tcode 領域は t c o d e がロック・トランザクション (Lock transaction) の場合、このパケットのデータが行う実際のロック動作 (Lock Action) を示す領域である。

【0 0 0 9】データフィールド領域 (data field) の前のクワドレットに付加されたヘッダ CRC (header CRC) 領域は、パケットヘッダの誤り検出符号である。また、データ領域 (data field) の後のクワドレットに付加されたデータ CRC (data CRC) 領域は、データフィールドの誤り検出符号である。

【 0 0 1 0 】

【 発明が解決しようとする課題 】 ところで、上述したように、アシンクロナス転送で行われる通常のコンピュータデータの転送では、そのプロトコルとして、S B P - 2 (Serial Bus Protocol-2) が用いられる。このプロトコルによると、ストレージデバイス (Storage Device) であるターゲット (Target) からホストコンピュータ (Host Computer) であるイニシエータ (Initiator) にデータを転送するときは、ストレージデバイスからホストコンピュータのメモリへデータを書き込む形で、またホストコンピュータからターゲットにデータを転送するときは、

ストレージデバイスがホストコンピュータのメモリのデータを読み出す形で転送が行われる。

【 0 0 1 1 】 しかしながら、ストレージデバイスに格納される、あるいはストレージデバイスから読み出される大容量のデータを I E E E 1 3 9 4 規格のパケットにして、送受信するための、いわゆるトランザクション・レイヤ (Transaction Layer) をコントロールする処理系回路システムが未だ確立されていない。また、他ノード側からビジー信号を受けた場合に再送するリトライ機能の回路の実現も要望されている。

【 0 0 1 2 】 本発明は、かかる事情に鑑みてなされたものであり、その目的は、リトライ動作を自動化でき、大容量のデータを所定の規格に合わせてパケットにして送受信することができ、また、円滑な送受信処理をことができるシリアルインタフェース回路を提供することにある。

【 0 0 1 3 】

【 課題を解決するための手段 】 上記目的を達成するため、本発明は、自ノードとシリアルインタフェースバスを介して接続された他ノード間でパケットの送受信を行うシリアルインタフェース回路であって、自ノードから他ノードへの要求パケットを生成し、上記シリアルインタフェースバスに送出する第 1 のデータ処理回路と、上記要求パケットに対する応答パケットを受信し、受信した応答パケットが要求パケットの再送を要求している場合に、上記生成した要求パケットを再度上記シリアルインタフェースバスに送出するリトライ動作を行う第 2 のデータ処理回路とを有する。

【 0 0 1 4 】 また、本発明は、自ノードとシリアルインタフェースバスを介して接続された他ノード間でパケットの送受信を行うシリアルインタフェース回路であって、記憶手段と、自ノードから他ノードへの要求パケットを生成し上記記憶手段に格納する要求パケット生成回路と、上記記憶手段に格納された要求パケットを上記シリアルインタフェースバスに送出する第 1 のデータ処理回路と、上記要求パケットに対する応答パケットを受信し、受信した応答パケットが要求パケットの再送を要求している場合に、上記記憶手段に格納されている要求パケットを再度上記シリアルインタフェースバスに送出す

るリトライ動作を行う第 2 のデータ処理回路とを有する。

【 0 0 1 5 】 また、本発明では、上記第 2 のデータ処理回路は、再送要求を受信してから設定時間を経過して上記要求パケットを再送するリトライ動作を行う。

【 0 0 1 6 】 また、本発明では、上記第 2 のデータ処理回路は、再送要求を受信してからリトライ動作を行うまでの時間を任意に設定可能なインターバルレジスタと、上記再送要求を受信すると起動して時間を計時するサイクルカウンタと、上記サイクルカウンタの時間が上記インターバルレジスタの設定時間に達すると再送信号を生成する比較回路とを有し、上記再送信号が生成されると上記リトライ動作を行う。

【 0 0 1 7 】 また、本発明では、上記再送の回数を判別し、カウント値があらかじめ設定した回数に達すると上記インターバルレジスタの設定時間をさらに長い時間に再設定する判別回路を有する。

【 0 0 1 8 】 また、本発明では、上記リトライ動作の回数を制限する制限回路を有する。この制限回路は、制限するリトライ回数を設定可能なリトライ制限レジスタと、上記比較回路の再送信号の出力回数をカウントする再送カウンタと、上記再送カウンタの値が上記リトライ制限レジスタの設定値に達するとタイムアウト信号を出力する比較回路と、上記タイムアウト信号を受けて上記要求パケットの送信を中止する制御回路とを有する。

【 0 0 1 9 】 また、本発明の回路によれば、第 1 のデータ処理回路において、自ノードから他ノードへの要求パケットが生成され、シリアルインタフェースバスに送出される。そして、第 2 のデータ処理回路において、要求パケットに対する応答パケットが送られてきたときに、受信した応答パケットが要求パケットの再送を要求している場合には、生成した要求パケットが再度シリアルインタフェースバスに送出するリトライ動作が行われる。

【 0 0 2 0 】 また、本発明の回路によれば、要求パケット生成回路において、自ノードから他ノードへの要求パケットが生成され記憶手段に格納される。そして、第 1 のデータ回路により、記憶手段に格納された要求パケットが読み出されてシリアルインタフェースバスに送出される。そして、第 2 のデータ処理回路において、要求パケットに対する応答パケットが送られてきたときに、受信した応答パケットが要求パケットの再送を要求している場合には、生成した要求パケットが再度記憶手段から読み出されてシリアルインタフェースバスに送出するリトライ動作が行われる。

【 0 0 2 1 】 また、本発明では、リトライ動作は、再送要求を受信してから設定時間がたった後行われる。

【 0 0 2 2 】 また、本発明では、インターバルレジスタに、再送要求を受信してからリトライ動作を行うまでの時間を任意に設定される。たとえば、第 2 のデータ処理回路において、再送要求を受信するとサイクルカウンタ

が起動して、計時動作が開始される。そして、サイクルカウンタの時間がインターバルレジスタの設定時間に達すると、比較回路において、再送信信号が生成され、この再送信信号が生成されるとリトライ動作が行われる。

【 0 0 2 3 】また、本発明では、判別回路により、再送の回数が判別され、その回数があらかじめ設定した回数に達すると、インターバルレジスタの設定時間がさらに長い時間に再設定される。

【 0 0 2 4 】また、本発明では、制限回路により、リトライ動作の回数が制限される。たとえば、再送カウンタにより第 2 のデータ処理回路の比較回路による再送信信号の出力回数がカウントされる。このカウント値がリトライ制限レジスタの設定値に達すると、比較回路からタイムアウト信号が制御回路に出力される。制御回路では、タイムアウト信号を受けて要求パケットの送信が中止される。

【 0 0 2 5 】

【発明の実施の形態】図 1 は、本発明に係る IEEE 1 3 9 4 シリアルインタフェース回路の一実施形態を示すブロック構成図である。なお、このシリアルインタフェース回路は、アシンクロナス通信で扱われるコンピュータデータの転送を行うことを目的として構成されている。このため、図 1 においては、アイソクロナス通信系回路の具体的な構成は図示していない。

【 0 0 2 6 】このシリアルインタフェース回路は、リンクノトランザクション・レイヤ集積回路 1 0、フィジカル・レイヤ回路 2 0、ストレージデバイスとしての図示しないハードディスクドライバ (HDD) のコントローラ 3 0、ホストコンピュータとしてのローカルプロセッサ 4 0 により構成されている。

【 0 0 2 7 】リンクノトランザクション・レイヤ集積回路 1 0 は、リンク・レイヤ回路 1 0 0 およびトランザクション・レイヤ回路 1 2 0 が集積化されて構成され、ローカルプロセッサ 4 0 の制御の下、アシンクロナス転送の制御、並びにフィジカル・レイヤ回路 2 0 の制御を行う。

【 0 0 2 8 】リンク・レイヤ回路 1 0 0 は、図 1 に示すように、リンクコア (Link Core) 1 0 1、CPU インタフェース回路 (Sub-CPU I/F) 1 0 2、アシンクロナス通信で用いられる送信用 F I F O (AT-FIFO: First-In First-Out) 1 0 3、受信用 F I F O (AR-FIFO) 1 0 4、受信パケットを判別する分別回路 (DeMux) 1 0 5、セルフ ID 用リゾルバ (Resolver) 1 0 6、およびコントロールレジスタ (Control Registers、以下 CR という) 1 0 7 により構成されている。

【 0 0 2 9 】リンクコア 1 0 1 は、コマンドやコンピュータデータが転送されるアシンクロナス通信用パケットおよびアイソクロナス通信用パケットの送信回路、受信回路、これらパケットの IEEE 1 3 9 4 シリアルバス BS を直接ドライブするフィジカル・レイヤ回路 2 0 と

のインタフェース回路、125 μ s 毎にリセットされるサイクルタイマ、サイクルモニタや CRC 回路から構成されている。また、図示しないハードディスクから読み出され、トランザクション・レイヤ回路 1 2 0 で所定の送信パケットとして生成されたコンピュータデータの送信処理等を行う。たとえば、後述するトランザクション・レイヤ回路 1 2 0 のトランザクションコントローラ 1 2 6 から送るべきデータがある旨の知らせを受けるとフィジカル・レイヤ回路 2 0 を経由して 1 3 9 4 シリアルバスのアービトレーションを行いバスを確保する。なお、図 1 では、上述したように、アイソクロナス通信系の F I F O 等は省略している。

【 0 0 3 0 】CPU インタフェース回路 1 0 2 は、ローカルプロセッサ 4 0 と送信用 F I F O 1 0 3、受信用 F I F O 1 0 4 とのアシンクロナス通信用パケットの書き込み、読み出し等の調停、並びに、ローカルプロセッサ 4 0 と CR 1 0 7 との各種データの送受信の調停を行う。たとえば、イニシエータとしてのホストコンピュータから IEEE 1 3 9 4 インタフェースバス BS を送信され、受信用 F I F O に格納されたストレージデバイスとしてのハードディスクのコントロール用コマンドをローカルプロセッサ 4 0 に伝送する。

【 0 0 3 1 】ローカルプロセッサ 4 0 からは、コンピュータデータを送受信するためにトランザクション・レイヤ回路 1 2 0 を起動させるためのデータが CPU インタフェース 1 0 2 を通して CR 1 0 7 にセット (ADPst = 1) される。

【 0 0 3 2 】送信用 F I F O 1 0 3 には、IEEE 1 3 9 4 シリアルバス BS に伝送させるアシンクロナス通信用パケットが格納され、格納データはリンクコア 1 0 1 に与えられる。

【 0 0 3 3 】また、受信用 F I F O 1 0 4 は、IEEE 1 3 9 4 シリアルバス BS を伝送されてきたアシンクロナス通信用パケット、たとえばストレージデバイスとしてのハードディスクのコントロール用コマンド等が、分別回路 1 0 5 により格納される。

【 0 0 3 4 】分別回路 1 0 5 は、リンクコア 1 0 1 を介したアシンクロナス通信用パケットの第 1 クワドレッドにあるトランザクションコード t c o d e (Transaction code) およびトランザクションラベル t l (Transaction label) をチェックし、イニシエータであるホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット (Response Packet) であるかその他のパケットであるかの分別を行い、応答パケットのみをトランザクション・レイヤ回路 1 2 0 に入力させ、その他のパケットを受信用 F I F O 1 0 4 に格納する。

【 0 0 3 5 】なお、分別のチェックに用いられるトランザクションラベル t l は共通に「a」にセットされ、t c o d e (Transaction code) は、書き込み (Write) の要

10

20

30

40

50

求 (request) および応答 (Response)、読み出し (Read) の要求 (Read request) および応答 (Read Response) で異なるデータがセットされる。具体的には、t c o d e は、書き込み要求 (Write request) でクワドレット書き込み (Quadlet Write) の場合には「0」、ブロック書き込み (Block Write) の場合には「1」にセットされる。また、書き込み応答 (Write Response) の場合には「2」にセットされる。読み出し要求 (Read request) でクワドレット読み出し (Quadlet Read) の場合には「4」、ブロック読み出し (Block Read) の場合には「5」にセットされる。また、読み出し応答 (Read Response) の場合には「6/7」にセットされる。

【0036】リゾルバ 106 は、I E E E 1 3 9 4 シリアルインタフェースバス B S を伝送されてきたセルフ I D パケットを解析し、C R 1 0 7 に格納する。また、エラーチェック、ノード数のカウント等の機能も有する。

【0037】トランザクション・レイヤ回路 120 は、コンピュータ周辺機器 (本実施形態ではハードディスク) のデータを S B P - 2 (Serial Bus Protocol-2) 規格に基づいて、アシンクロナスパケットとして自動的に送信、受信をする機能を備えている。また、トランザクション・レイヤ回路 120 は、リトライ (Retry) 機能並びにスプリットタイムアウト (Split Timeout) 検出機能を備えている。リトライ機能は、要求パケットを送信した後、ack busy' の A c k コードが返ってきた場合、該当する要求パケットを再送信する機能である。パケットを再送信する場合、送信パケットの第 1 クワドレッドにある 2 ビットの r t 領域を「00」から「01」にセットしてコアリンク 101 に知らせ送信する。スプリットタイムアウト (Split Timeout) 検出機能は、応答パケットが返ってくるまでのタイムアウトを検出する機能である。

【0038】このトランザクション・レイヤ回路 120 は、トランスポートデータインタフェース回路 121、要求パケット生成回路 (SBPreq) 122、応答パケットデコード回路 (SBPrsp) 123、要求用 F I F O (Request F I F O : A D P T F) 124、応答用 F I F O (Response F I F O : A D P R F) 125、およびトランザクションコントローラ 126 により構成されている。そして、要求パケット生成回路 122、応答パケットデコード回路 123、要求用 F I F O 124、応答用 F I F O 125、およびトランザクションコントローラ 126 によりデータ処理回路 A D P が構成される。

【0039】トランスポートデータインタフェース回路 121 は、H D D コントローラ 30 と要求パケット生成回路 122、応答パケットデコード回路 123 とのデータの送受信の調停を行う。

【0040】要求パケット生成回路 122 は、リンク・レイヤ回路 100 の C R 1 0 7 からデータ転送起動の指示を受けると、送信 (書き込み) の場合、S B P - 2 規

格に従ってトランスポートデータインタフェース回路 121 を介して得た図示しないハードディスクに記録されたコンピュータデータをパケットに分けられるように 1 個以上のデータに分け、C R 1 0 7 にセットされた転送データ長等のデータに基づいて S B P プロトコルのアドレスを算出し、パケット毎に増加する 1 3 9 4 バスアドレスとトランザクションラベル t l (= a) やトランザクションコード t c o d e (たとえば 1 または 5) 等を設定した 4 クワドレットからなる 1 3 9 4 ヘッダを付加して要求用 F I F O 124 に格納する。また、受信 (読み出し) の場合には、S B P - 2 規格に従って、C R 1 0 7 にセットされた転送データ長等のデータに基づいて S B P プロトコルのアドレスを算出し、パケット毎に増加する 1 3 9 4 バスアドレスとトランザクションラベル t l (= a) やトランザクションコード t c o d e (たとえば 1 または 5) 等を設定し、指定されたアドレス、データ長分の 1 3 9 4 ブロック読み出し要求コマンド (Block read Request Command) を 1 個以上のパケットにして要求用 F I F O 124 に格納する。

【0041】なお、要求パケット生成回路 122 は、送信および受信時には、C R 1 0 7 にて指定される最大長データ max-payload を受けて送信する要求パケットに対する応答パケットの最大データ長を計算する。この最大データ長 (バイト) maxpl は次式に基づいて求められる。

$$\text{【0042】} \quad \text{【数 1】} \quad \text{maxpl} = 2^{(\dots \dots \dots)} \dots (1)$$

【0043】応答パケットデコード回路 123 は、受信時に第 1 F I F O 124 に格納されたデータを読み出し、1 3 9 4 ヘッダを取り除いて、データを所定のタイミングでトランスポートデータインタフェース回路 121 を介して H D D コントローラ 30 に出力する。

【0044】要求用 F I F O 124 は、送信 (書き込み) 時にはパケット化された送信データが格納され、受信 (読み出し) の場合には、1 3 9 4 ブロック読み出し要求コマンドが格納される。なお、要求用 F I F O 124 は、送るべきデータを記憶しているときは、その旨を示すたとえばローレベル (「0」) でアクティブの信号 E M T をトランザクションコントローラ 126 に出力する。

【0045】応答用 F I F O 125 は、受信 (読み出し) の場合には、ホストコンピュータ側から 1 3 9 4 シリアルバス B S を伝送されてきた受信データが格納される。なお、応答用 F I F O 125 は、残りの記憶容量を示す信号 S 125 をトランザクションコントローラ 126 に出力する。

【0046】トランザクションコントローラ 126 は、送信時に要求用 F I F O 124 に格納されたパケット化された送信データ、および受信時に要求用 F I F O 124 に格納された 1 3 9 4 ブロック読み出し要求コマンド

(要求パケット)のリンク・レイヤコア回路100のリンクコア101への出力制御を行う。また、送信時に、リンク・レイヤ回路100の分別回路105からの応答パケットを受けて、そのリトライコード *rcode* を *CR107* に書き込み、受信時には分別回路105からの応答パケットを応答用 *FIFO125* に格納する。

【0047】また、トランザクションコントローラ126は、要求パケットを送信した後、*ack busy'* の *ack* コードが返ってきた場合、該当する要求パケットを再送信するリトライ機能を有しているが、この再送を行う場合には、再送要求である *ackbusy'* を受けてから設定時間(たとえばサイクルタイムの125 μ sの整数倍の時間)を経過してから行う。また、パケットを再送信する場合、送信パケットの第1クワドレッドにある2ビットの *rt* 領域を「00」から「01」にセットしてコアリンク101に知らせ送信する。

【0048】図2は、このリトライ機能を実現するリトライ回路の構成例を示すブロック図である。このリトライ回路は、図2に示すように、*ack* コード判別1261、サイクルカウンタ(Cycle Counter)1262、インターバルレジスタ(Retry Interval Counter)1263、リトライ制限(Retry Limit)レジスタ1264、比較回路(Comp)1265、1266、ビジーカウンタ(Busy Counter)1267、およびビジー回数判別回路1268により構成されている。

【0049】*ack* コード判別1261は、*ack* コードを受けて *ack busy'* を判別した場合に、パルス信号 *S1261* をサイクルカウンタ1262およびビジー回数判別回路1268に出力する。

【0050】サイクルカウンタ1262は、パルス信号 *S1261* を受けて起動し、125 μ sをカウントする毎にインクリメントされる。インターバルレジスタ1263は、再送要求を受信してからリトライ動作を行うまでの時間を任意に設定可能で、たとえば0または125 μ sの整数倍、たとえば1、2、・・・に設定される。リトライ制限レジスタ1264は、リトライ回数を制限する値(たとえば15)が設定される。

【0051】比較回路1265は、サイクルカウンタ1262の時間がインターバルレジスタ1263の設定時間に達すると再送信信号 *SR* を生成し、要求用 *FIFO124* およびビジーカウンタ1267に出力する。比較回路1266は、ビジーカウンタ1267の値がリトライ制限レジスタ1264の設定値に達するとタイムアウト信号 *TO* を *CR107* に出力する。ビジーカウンタ1267は、比較回路1265による再送信信号 *SR* の出力回数をカウントする。

【0052】ビジー回数判別回路1268は、*ack* コード判別1261によるパルス信号 *S1261* をカウントし、カウント値があらかじめ設定した回数に達するとインターバルレジスタ1263の設定時間をさらに長い

時間、たとえば初期値の2倍に再設定する。なお、一連のパケット送受信が終了すると、サイクルカウンタ1262、インターバルレジスタ1263、リトライ制限レジスタ1264の値は初期設定される。

【0053】ここで、図2に示すリトライ回路の動作を説明し、その後、SBP-2規格で決められたパケットを転送する場合のコンピュータデータの通常の送信および受信動作を説明する。

【0054】リトライ回路においては、要求パケットに対する応答パケットが送られてきたときに、受信した *ack* コードが *ack* コード判別1261に入力される。*ack* コード判別1261では、入力した *ack* コードにより *ack busy'* を判別した場合に、パルス信号 *S1261* が生成されサイクルカウンタ1262およびビジー回数判別回路1268に出力される。サイクルカウンタ1262では、パルス信号 *S1261* を受けて起動し、125 μ sをカウントする毎にインクリメントされる。このサイクルカウンタ1262の値は、比較回路1265でインターバルレジスタ1263の設定時間と比較される。比較の結果、カウント値が設定時間に達すると再送信信号 *SR* が生成され、要求用 *FIFO124* およびビジーカウンタ1267に出力される。

【0055】これにより、図3に示すように、要求用 *FIFO124* 中の読み出しポインタが前のパケットの先頭に戻されて、リトライ要求が出されたパケットが再度読み出される。そして、パケットを再送信する場合、送信パケットの第1クワドレッドにある2ビットの *rt* 領域を「00」から「01」にセットするようにコアリンク101に知らせ再送信が行われる。

【0056】また、ビジーカウンタ1267では、比較回路1265による再送信信号 *SR* の出力回数がカウントされ、カウント値が比較回路1266に出力される。そして、比較回路1266で、ビジーカウンタ1267の値がリトライ制限レジスタ1264の設定値に達したとの結果が得られると、タイムアウト信号 *TO* が *CR107* に出力される。これにより、ローカルプロセッサ40によりパケットの送信動作が中止される。

【0057】また、ビジー回数判別回路1268においては、*ack* コード判別1261によるパルス信号 *S1261* がカウントされ、カウント値があらかじめ設定した回数に達するとインターバルレジスタ1263の設定時間がさらに長い時間に再設定される。そして、一連のパケット送受信が終了すると、サイクルカウンタ1262、インターバルレジスタ1263、リトライ制限レジスタ1264の値は初期設定される。

【0058】次に、上記構成において、SBP-2規格で決められたパケットを転送する場合のコンピュータデータの通常の送信および受信動作を説明する。

【0059】まず、送信動作、すなわち、ターゲットであるハードディスクからイニシエータであるホストコン

ピュータにデータを伝送するときであって、ストレージデバイス（ハードディスク）からホストコンピュータのメモリヘデータを書き込む動作を行う場合について説明する。

【0060】ホストコンピュータから1394シリアルバスBSを転送されてきたSBP-2規格に基づいたORB(Operation Request Block)等のパケットデータがフィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0061】分別回路105では、受信パケットを受けてホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット(Response Packet)であるかその他のパケットであるかの分別が行われる。そしてこの場合、その他のパケットであることから受信データが受信用FIFO104に格納される。受信用FIFO104に格納されたORB等の受信データは、CPUインタフェース回路102を介してローカルプロセッサ40に入力される。ローカルプロセッサ40では、CPUインタフェース回路102を介してORBの内容に従ってCR107のトランザクション・レイヤ回路用レジスタの初期化が行われる。これにより、トランザクション・レイヤ回路120が起動される。

【0062】起動されたトランザクション・レイヤ回路120では、要求パケット生成回路122において、トランスポートインタフェース121を介してHDDコントローラ30に対してのデータの要求が始められる。要求に応じ、トランスポートインタフェース121を介して送られたきた送信データは、要求パケット生成回路122においてSBP-2規格に従ってトランスポートデータインタフェース回路121を介して得た図示しないハードディスクに記録されたコンピュータデータをパケットに分けられるように1個以上のデータに分けられ、CR107にセットされた転送データ長等のデータに基づいてSBPプロトコルのアドレスが算出され、パケット毎に増加する1394バスアドレスとトランザクションラベルt1(=a)やトランザクションコードtcode(たとえば1または5)等が設定された4クラドレットからなる1394ヘッダが付加されて要求用FIFO124に格納される。

【0063】要求用FIFO124に1つの1394パケットサイズ以上のデータが格納されると、そのデータはトランザクションコントローラ126によりリンク・レイヤ回路100のリンクコア101に送られる。そして、リンクコア101によって、フィジカル・レイヤ回路20を介して1394シリアルバスBSに対しアービトレーションが掛けられる。これにより、バスの獲得ができたならば、転送データを含む書き込み要求パケット(Write Request Packet)がフィジカル・レイヤ回路20、1394シリアルバスBSを介してホストコンピ

ュータに送信される。

【0064】送信後、ホストコンピュータから書き込み要求パケットに対するAckコードと、場合によっては書き込み応答パケット(Write Response Packet)が送られてきて、フィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0065】分別回路105では、受信パケットのトランザクションコードtcodeおよびトランザクションラベルt1のチェックが行われ、ホストコンピュータからターゲットであるトランザクション・レイヤ回路120に対しての応答パケット(Response Packet)であると判別されると、その応答パケットがトランザクション・レイヤ回路120のトランザクションコントローラ126に入力される。

【0066】トランザクションコントローラ126では、入力された応答パケットのAckコードと応答コード(Response code)が正常ならば次のデータのリンクコア101への送出行われる。以上の動作が繰り返されて、コンピュータデータのホストコンピュータのメモリへの書き込み(送信)動作が行われる。

【0067】以上の送信に関するトランザクション・レイヤ回路120の動作の概略を図4に示す。

【0068】次に、受信動作、すなわち、ホストコンピュータからターゲットにデータを伝送するときであって、ストレージデバイス（ハードディスク）がホストコンピュータのメモリのデータを読み出す動作を行う場合について説明する。

【0069】ホストコンピュータから1394シリアルバスBSを転送されてきたSBP-2規格に基づいたORB等のパケットデータがフィジカル・レイヤ回路20、リンク・レイヤ回路100のリンクコア101を介して分別回路105に入力される。

【0070】分別回路105では、受信パケットを受けてホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット(Response Packet)であるかその他のパケットであるかの分別が行われる。そしてこの場合、その他のパケットであることから受信データが受信用FIFO104に格納される。

【0071】受信用FIFO104に格納されたORB等の受信データは、CPUインタフェース回路102を介してローカルプロセッサ40に入力される。ローカルプロセッサ40では、CPUインタフェース回路102を介してORBの内容に従ってCR107のトランザクション・レイヤ回路用レジスタの初期化が行われる。これにより、トランザクション・レイヤ回路120が起動される。

【0071】起動されたトランザクション・レイヤ回路120では、要求パケット生成回路122において、SBP-2規格に従って、CR107にセットされた転送データ長等のデータに基づいてSBPプロトコルのアド

レスが算出され、パケット毎に増加する 1 3 9 4 バスアドレスとトランザクションラベル $t l (=a)$ やトランザクションコード $t c o d e$ (たとえば 1 または 5) 等が設定され、指定されたアドレス、データ長分の 1 3 9 4 ブロック読み出し要求コマンド (Block readRequest Command) がパケット化されて要求用 F I F O 1 2 4 に格納される。

【 0 0 7 2 】 要求用 F I F O 1 2 4 に格納された読み出し要求コマンドパケットは、トランザクションコントローラ 1 2 6 によりリンク・レイヤ回路 1 0 0 のリンクコア 1 0 1 に送られる。そして、リンクコア 1 0 1 によって、フィジカル・レイヤ回路 2 0 を介して 1 3 9 4 シリアルバス BS に対しアービトラションが掛けられる。これにより、バスの獲得ができたならば、読み出し要求パケット (Read Request Packet) がフィジカル・レイヤ回路 2 0、1 3 9 4 シリアルバス BS を介してホストコンピュータに送信される。

【 0 0 7 3 】 送信後、ホストコンピュータから読み出し要求パケットに対する Ack コードと、指定されたデータ長分のデータを含んだ読み出し応答パケット (Read Response Packet) が送られてきて、フィジカル・レイヤ回路 2 0、リンク・レイヤ回路 1 0 0 のリンクコア 1 0 1 を介して分別回路 1 0 5 に入力される。

【 0 0 7 4 】 分別回路 1 0 5 では、受信パケットのトランザクションコード $t c o d e$ およびトランザクションラベル $t l$ のチェックが行われ、ホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット (Response Packet) であると判別されると、その応答パケットがトランザクション・レイヤ回路 1 2 0 のトランザクションコントローラ 1 2 6 に入力される。

【 0 0 7 5 】 トランザクションコントローラ 1 2 6 では、分別回路 1 0 5 からの応答パケットが応答用 F I F O 1 2 5 に格納される。応答用 F I F O 1 2 5 に格納されたデータは、応答パケットデコード回路 1 2 3 によって読み出され、1 3 9 4 ヘッドが取り除かれて、所定のタイミングでトランスポートデータインタフェース回路 1 2 1 を介して HDD コントローラ 3 0 に出力される。以上の動作が繰り返されて、コンピュータデータのストレージデバイス (ハードディスク) への書き込み (受信) 動作が行われる。

【 0 0 7 6 】 以上の受信に関するトランザクション・レイヤ回路 1 2 9 の動作の概略を図 5 に示す。

【 0 0 7 7 】 以上説明したように、本第 1 の実施形態によれば、ストレージデバイスが接続され、ストレージデバイスのデータを読み出し、自己指定のトランザクションラベルを付加して送信アシンクロナスパケットとしてシリアルインタフェースバス BS に送出し、他ノードのデータを当該ストレージデバイスへ転送する場合に、自己指定のラベルを付加した要求パケットを生成してシリ

アルインタフェースバス BS に送出し、他ノードからのこの要求パケットに対する応答パケットを受信し、応答パケットからデータ部を取り出してストレージデバイスへ転送するデータ処理回路としてのトランザクション・レイヤ回路 1 2 0 を設けたので、ストレージデバイスに格納される、あるいはストレージデバイスから読み出される大容量のデータを S B P - 2 規格に合わせて 1 E E E 1 3 9 4 パケットにして送受信することができ、1 E E E 1 3 9 4 シリアルバスインタフェースのアシンクロナス パケットを用いて大容量のデータ転送を実現することができる。そして、S B P - 2 規格に基づいた O R B のフェッチ、データ転送、イニシエータへのステータス送信といったシーケンスを簡略化でき、ディスクドライバ、テープストリーマ等のコンピュータ周辺機器のデータを 1 E E E 1 3 9 4 シリアルバスに接続する際に最適な設計が可能となる。

【 0 0 7 8 】 また、再送要求を受信してからリトライ動作を行うまでの時間を任意に設定可能なインターバルレジスタ 1 2 6 3 と、ack busy' を受信すると起動して時間を計時するサイクルカウンタ 1 2 6 2 と、サイクルカウンタ 1 2 6 2 の時間がインターバルレジスタ 1 2 6 3 の設定時間に達すると再送信号 S R を生成する比較回路 1 2 6 5 と、制限するリトライ回数を設定可能なリトライ制限レジスタ 1 2 6 4 と、比較回路 1 2 6 5 の再送信号の出力回数をカウントするビジーカウンタ 1 2 6 7 と、ビジーカウンタ 1 2 6 7 の値がリトライ制限レジスタ 1 2 6 4 の設定値に達するとタイムアウト信号 T O を出力する比較回路 1 2 6 6 とを設け、要求パケットを送信した後、ack busy' の a c k コードが返ってきた場合に該当する要求パケットを再送信する場合には、再送要求である ack busy' を受けてから設定時間を経過して行い、また、リトライ回数が設定回数に達するとパケットの送信動作を中止するようにしたので、リトライ動作を自動化でき、制御系回路の付加を軽減でき、また、リトライインターバルを任意に設定できることから、仕様に応じた円滑な送受信処理を行うことができる。

【 0 0 7 9 】 さらに、トランザクション・レイヤ回路 1 2 0 に要求用 F I F O 1 2 4 および応答用 F I F O 1 2 5 を設けるとともに、リンク・レイヤ回路 1 0 0 に送信用 F I F O 1 0 3 および受信用 F I F O 1 0 4 を設けたので、要求用 F I F O 1 2 4 および応答用 F I F O 1 2 5 によるデータのやりとりと並列して、データ以外の通常の 1 3 9 4 パケットの送受信を行うことができる。

【 0 0 8 0 】 また、リンクコア 1 0 1 を介したアシンクロナス通信用パケットの第 1 クワドレッドにあるトランザクションコード $t c o d e$ (Transaction code) およびトランザクションラベル $t l$ (Transaction label) をチェックし、イニシエータであるホストコンピュータからターゲットであるトランザクション・レイヤ回路に対しての応答パケット (Response Packet) であるかその他の

おける送信動作の概略を示す図である。

【図5】本発明に係るトランザクション・レイヤ回路における受信動作の概略を示す図である。

【図6】IEEE1394規格のアシンクロナス転送を説明するための図である。

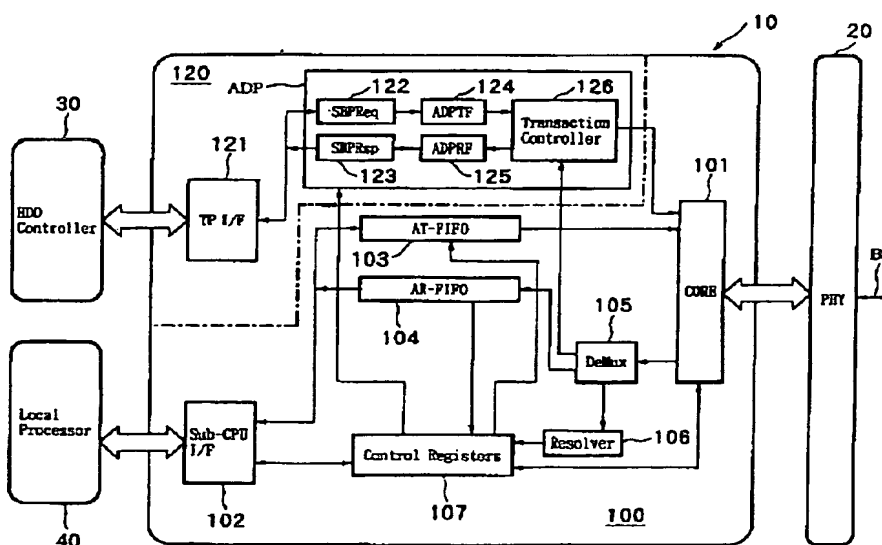
【符号の説明】

１０…リンク／トランザクションレイヤ集積回路、２０…フィジカル・レイヤ回路、３０…ＨＤＤコントローラ、４０…ローカルプロセッサ、１００、１００ａ…リンク・レイヤ回路、１０１…リンクコア、１０２…ＣＰＵインタフェース回路、１０３…アシンクロナス送信用ＦＩＦＯ、１０４…アシンクロナス受信用ＦＩＦＯ、１０５、１０５ａ…分別回路、１０６…リゾルバ、１０７…コントロールレジスタ、１２０…トランザクション・レイヤ回路、１２１…トランスポートデータインタフェース回路、１２１…要求パケット生成回路、１２３…応答パケットデコード回路、１２４…要求用ＦＩＦＯ、１２５…応答用ＦＩＦＯ、１２６…トランザクションコントローラ、１２６１…ａｃｋコード判別、１２６２…サイクルカウンタ(Cycle Counter)、１２６３…インターバルレジスタ(Retry Interval Counter)、１２６４…リトライ制限(Retry Limit)レジスタ、１２６５、１２６６…比較回路(Comp)、１２６７…ビジーカウンタ(Busy Counter)、１２６８…ビジー回数判別回路。

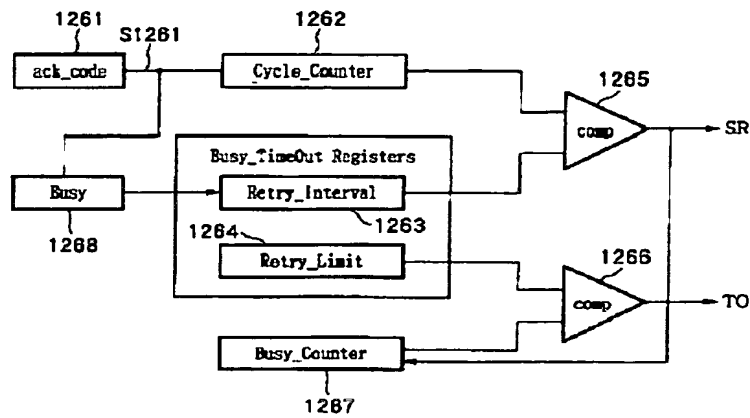
10

20

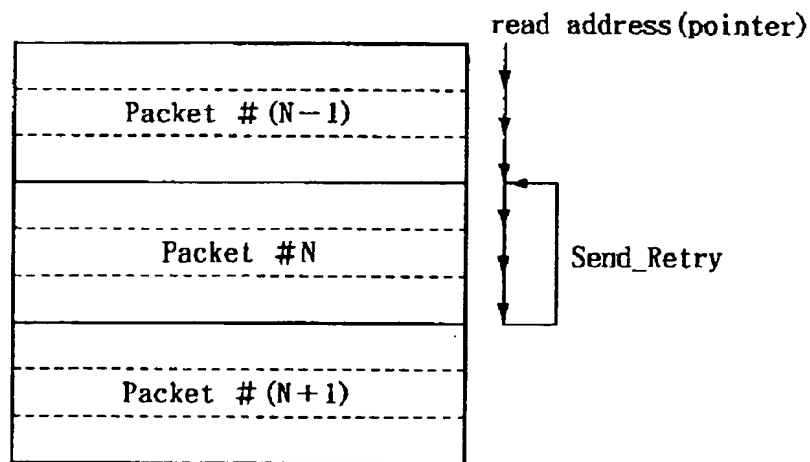
【圖 1】



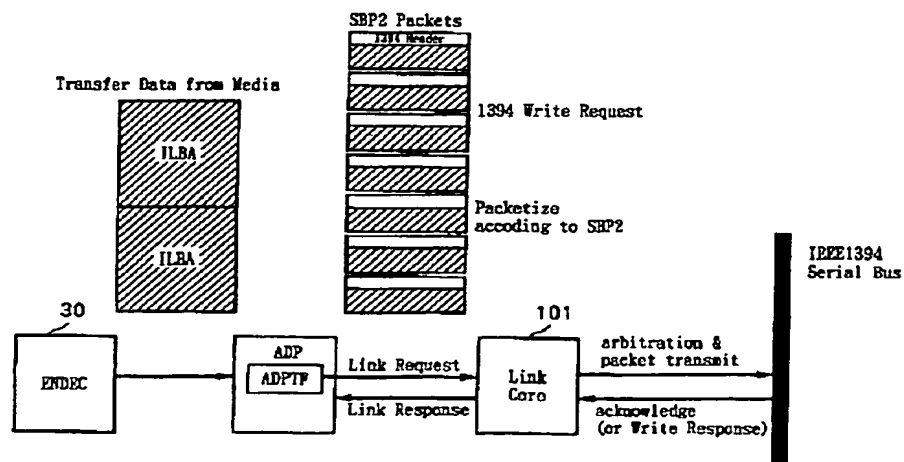
【図 2】



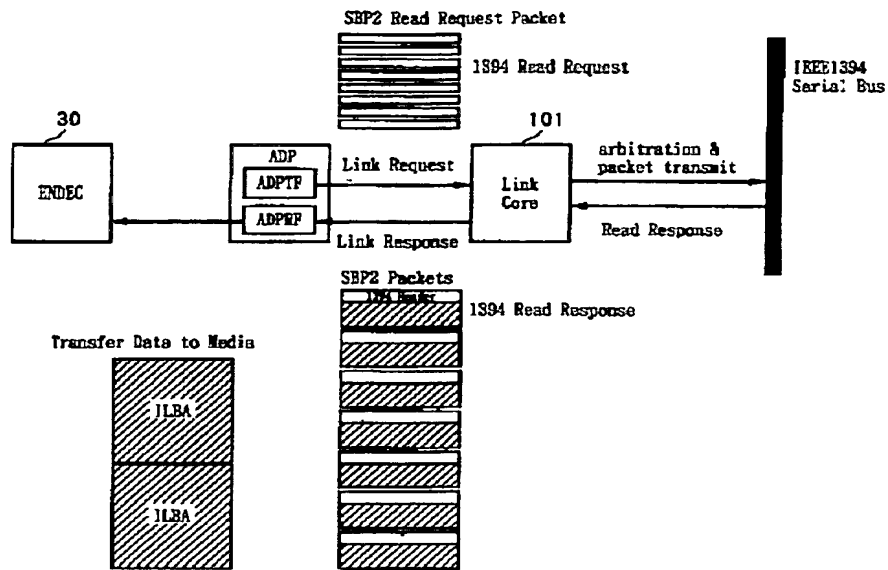
【図 3】



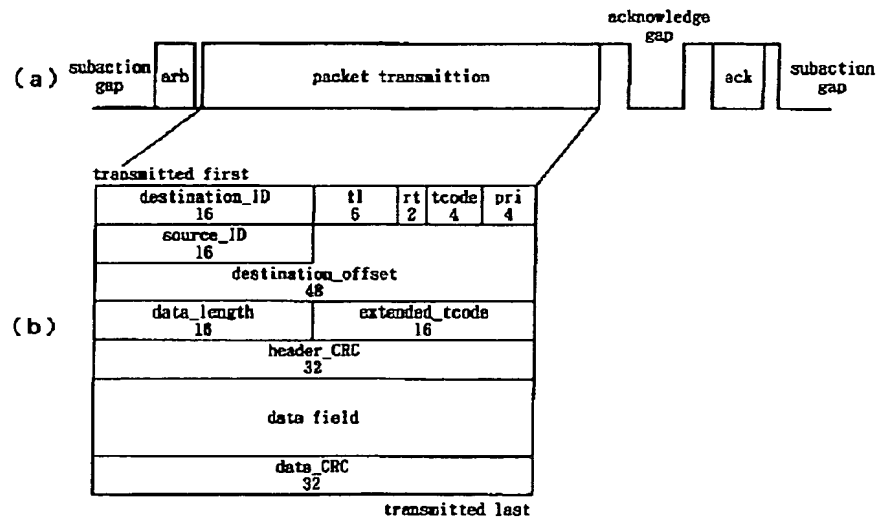
【図 4】



【 図 5 】



【 図 6 】



フロントページの続き

(51) Int. Cl. ⁶

12/56

識別記号

庁内整理番号

F I

11/20

102

2

技術表示箇所